

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-349821  
 (43)Date of publication of application : 22.12.1994

(51)Int.CI. H01L 21/318  
 H01L 21/324  
 H01L 29/784

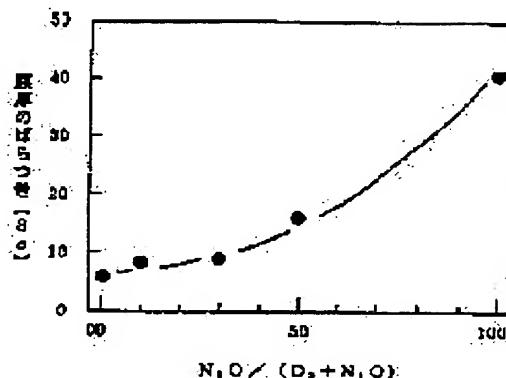
(21)Application number : 05-133441 (71)Applicant : RICOH CO LTD  
 (22)Date of filing : 03.06.1993 (72)Inventor : ISHIDA MAMORU

## (54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

### (57)Abstract:

**PURPOSE:** To improve uniformity of film thickness and provide a semiconductor device provided with an insulating film which allows high throughput by a small number of processes by simultaneously promoting oxidation and nitriding to an Si substrate so as to form the oxide nitride film as an insulating film by lamp annealing.

**CONSTITUTION:** An oxide nitride film as an insulating film is formed on an Si substrate by one-step process by lamp annealing by simultaneously promoting oxidation and nitriding to the Si substrate. At that time, a mix gas of N<sub>2</sub>O gas and O<sub>2</sub> gas is used as an atmospheric gas for forming the insulating film and the rate of the N<sub>2</sub>O gas is permitted to be N<sub>2</sub>O/(O<sub>2</sub>+N<sub>2</sub>O)≤0.1. An inert gas such as N<sub>2</sub>, Ar and He is simultaneously added to the atmospheric gas for oxidation and nitriding. The oxidation and nitriding are performed in the low-pressure atmosphere. Thus, the insulating film which allows high throughput is formed by a less number of processes and uniformity of the film thickness is improved..



### LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-349821

(43) 公開日 平成6年(1994)12月22日

(51) Int. C.I.<sup>5</sup>

H 01 L  
21/318  
21/324  
29/784

識別記号

府内整理番号  
C 7352-4 M  
Z 8617-4 M

F I

技術表示箇所

9054-4 M

H 01 L 29/78 301 F

審査請求 未請求 請求項の数 5 O L

(全4頁)

(21) 出願番号 特願平5-133441

(22) 出願日 平成5年(1993)6月3日

(71) 出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72) 発明者 石田 守

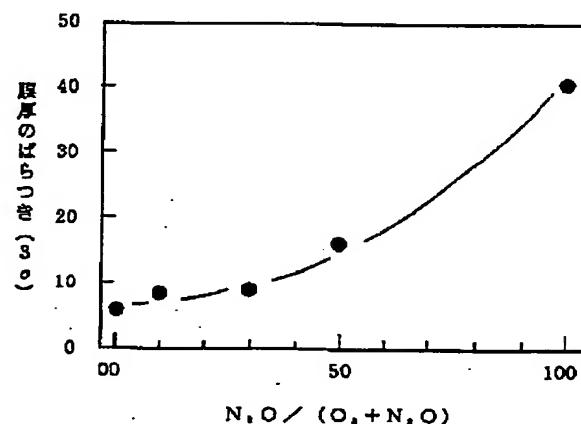
東京都大田区中馬込1丁目3番6号 株式会  
社リコー内

(54) 【発明の名称】半導体装置とその製造方法

(57) 【要約】

【目的】 Si 基板上に絶縁膜を形成するにあたり、少ない工程数でスループットが高い絶縁膜を形成する。

【構成】 Si 基板上に絶縁膜を有する半導体装置において、絶縁膜としての酸窒化膜をランプアニール法によって、Si 基板に対する酸化と窒化の反応を同時に進行させて1ステッププロセスで形成することにより、特性の優れた半導体装置が得られる。



1

## 【特許請求の範囲】

【請求項1】S i 基板上に絶縁膜を有する半導体装置の製造方法において、前記絶縁膜としての酸窒化膜をランプアニール法によって、S i 基板に対する酸化と窒化の反応を同時に進行させることにより1ステッププロセスで形成する工程を含むことを特徴とする半導体装置の製造方法。

【請求項2】前記酸化反応及び窒化反応には雰囲気ガスとしてO<sub>2</sub>及びN<sub>2</sub>Oの混合ガスを用い、その比率をN<sub>2</sub>O/(O<sub>2</sub>+N<sub>2</sub>O)≤0.1としたことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項3】前記酸化反応及び窒化反応の雰囲気ガスには不活性ガスを含むことを特徴とする請求項2に記載の半導体装置の製造方法。

【請求項4】前記酸化反応及び窒化反応は減圧雰囲気で行なうことを特徴とする請求項1に記載の半導体装置の製造方法。

【請求項5】前記請求項1ないし4の製造方法によって形成された絶縁膜を有することを特徴とする半導体装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、半導体装置とその製造方法に関するものであり、特に、スループットが高く、膜厚が均一な絶縁膜とその製造方法に関するものである。

## 【0002】

【従来の技術】サブハーフクォータμm以下の微細CMOS半導体装置においては、パンチスルーキャビティ抑制の点からP型、N型MOSFETとともに、表面チャネル型のデュアルゲートCMOS構造が有効である。

【0003】表面チャネル型のデュアルゲートCMOS構造を形成するにあたり、ランプアニール法により作成した絶縁膜、すなわち酸化膜と窒化膜の積層体は、このCMOS構造においてP+ゲート電極からチャネルへのボロン突き抜けを抑制するゲート絶縁膜として極めて有効である。また、ランプアニール法によるゲート絶縁膜は、MOS界面順位や電荷トラップを低減でき、絶縁膜としての信頼性にもすぐれていることから、メモリー素子用のトンネル絶縁膜や容量素子の絶縁膜としても開発が進められているものである。

【0004】従来、ランプアニール法による絶縁膜の製造方法としては、図1に示すような2ステッププロセスが用いられている。第1のステップはO<sub>2</sub>雰囲気中での酸化膜形成プロセスであり、第2のステップはN<sub>2</sub>OあるいはNH<sub>3</sub>雰囲気中での窒化膜形成プロセスである。

【0005】しかしながら、上述した酸化膜および窒化膜の形成においては、以下のような問題や制約があった。すなわち、酸化膜の形成においてはランプアニール法を用いても従来の炉中酸化を行なっても形成された膜

2

に大きな差はないが、酸化膜と窒化膜の積層体を形成する場合には、酸化プロセスと窒化プロセスの2つのステップが必要なため、スループットは各々単独で形成した場合と比べ、半分以下になってしまう。

【0006】さらに、窒化プロセスを行なう際の窒化用ガスとしてNH<sub>3</sub>を用いた場合には、形成された絶縁膜中に多量の水素が取り込まれることにより、素子のホットキャリア信頼性が低下することが明らかになっている。このため、絶縁膜を形成するにあたって窒化プロセスを用いる場合には、N<sub>2</sub>Oガスを用いることが必要になる。

## 【0007】

【発明が解決しようとする課題】本発明においては、従来2ステッププロセスで作成していた絶縁膜を、ランプアニール法によって、1ステッププロセスで形成することにより、少ない工程数でスループットが高い絶縁膜を備えた半導体装置を得ることを目的とする。

【0008】さらに本発明においては、上記1ステッププロセスによって絶縁膜を形成した半導体装置とその製造方法において、雰囲気ガスとしてN<sub>2</sub>Oガスを用いた場合に発生する膜厚の不均一性を改善することを目的とする。

## 【0009】

【課題を解決するための手段】本発明は、S i 基板上に絶縁膜を有する半導体装置の製造方法において、前記絶縁膜としての酸窒化膜をランプアニール法によって、S i 基板に対する酸化と窒化の反応を同時に進行させることにより1ステッププロセスで形成する工程を含むことを特徴とする。

【0010】さらに本発明は、前記酸化反応及び窒化反応には雰囲気ガスとしてO<sub>2</sub>及びN<sub>2</sub>Oの混合ガスを用い、その比率をN<sub>2</sub>O/(O<sub>2</sub>+N<sub>2</sub>O)≤0.1としたことを特徴とする。

【0011】さらに本発明は、前記酸化反応及び窒化反応の雰囲気ガスには不活性ガスを含むことを特徴とする。

【0012】さらに本発明は、前記酸化反応及び窒化反応は減圧雰囲気で行なうことを特徴とする。

【0013】さらに本発明の半導体装置は、前記請求項1ないし4の製造方法によって形成されたゲート絶縁膜を有することを特徴とする。

## 【0014】

【作用】この発明によれば、少ない工程数でスループットが高い絶縁膜を備えた半導体装置を得ることができる。

【0015】さらにこの発明によれば、雰囲気ガスとしてN<sub>2</sub>Oガスを用いた場合に発生する膜厚の不均一性を改善することができる。

## 【0016】

【実施例】図2はN<sub>2</sub>Oガス流の方向に対するウェハ各

位置における酸窒化膜の成長膜厚である。成長条件は、 $N_2O$  100%、1.5 s/cmで、成長温度及び時間は1150°C、70 sec. である。なお、基板にはSi 6インチウェハを用いている。このように $N_2O$ ガスを用いた場合には、ガス上流側で酸窒化膜が厚く成長することが理解できる。これは、 $N_2O$ ガスの供給が反応を律速しているためであり、このことは成長速度の温度依存性からも確認することができる。また、図3は $O_2$ ガスによる酸化膜形成と $N_2O$ ガスによる酸窒化膜形成の膜厚のばらつきを示す結果である。図3に見られるように、 $N_2O$ ガスによる酸窒化膜形成時の膜厚は広い範囲に分布しており、膜厚の均一性が極端に悪いことがわかる。

【0017】出願人は多くの実験を繰り返すことにより、絶縁膜の形成にあたりランプアニール法を用いて1ステッププロセスによって絶縁膜を形成し、さらに $N_2O$ ガス比率、不活性ガスの有無、真空度、温度等を適切に組合せて設定することにより、スループットが高く膜厚の均一な絶縁膜が形成できることを見出した。本発明では特に、 $N_2O$ ガスと $O_2$ ガスとの混合ガスを用いてこれらのガスの比率を適切に設定すること、あるいはそれと同時に $N_2$ 、Ar、He等の不活性ガスを添加すること、あるいは減圧雰囲気中で反応させることによって本発明の目的が達成されるものである。以下実施例により、本発明の絶縁膜の形成方法を詳細に説明する。

【0018】絶縁膜形成のための雰囲気ガスとして $N_2O$ ガスと $O_2$ ガスとの混合ガスを用い、 $N_2O$ ガス比率 $N_2O/(O_2+N_2O)$ を、0から1の範囲で変化させて、ランプアニール法によって1ステッププロセスで酸窒化膜をSi基板上に形成した。成長温度は1100°C一定とし、膜厚は約100Åとなるように $N_2O$ ガス比率に応じて各々成長時間を設定した。

【0019】図4は、これら $N_2O$ ガス比率と酸窒化膜厚のばらつきとの関係を示すグラフである。 $N_2O$ ガス比率を

#### 【0020】

【数1】 $N_2O/(O_2+N_2O) \leq 0.1$

【0021】とすることにより、膜厚のばらつきが酸化膜形成の場合とほとんど同レベルの低い値になることがわかる。また、ASE分析により、Si基板と酸窒化膜界面の窒素濃度には $N_2O$ ガス比率が0.1から1の範囲では極端な変化はなく、Siとの界面はほぼ同レベルに窒化されていることもわかった。

【0022】次に本発明による絶縁膜形成方法の他の実施例を説明する。

【0023】 $N_2O$ ガス100%の状態で、大気圧および数ミリTorrの減圧下で、ランプアニール法によってSi基板上に1ステッププロセスで酸窒化膜を形成した。なお、他の条件として、成膜温度は1100°C一定とし、膜厚が約100Åとなるように各々成長時間を設

定した。この結果、大気圧下で形成した膜は膜厚のばらつきの点で問題が残るが、減圧下で形成した膜は膜厚のばらつきが小さく、特性の優れた膜が得られることがわかった。

【0024】次に本発明による絶縁膜形成方法のさらに他の実施例を説明する。

【0025】P型、20ΩcmのSi基板をRCA洗浄とHF処理した後、 $N_2O$ ガス比率0.1の条件でランプアニール処理し、Si基板上に100Åの酸窒化膜を形成した。比較のための試料としては、P型、20ΩcmのSi基板上に熱酸化膜を100Å形成したもの用意した。これらの試料にポリシリコン層をLPCVD法によって約2000Å堆積し、全面にBF<sub>2</sub>を注入エネルギー30KeV、ドーズ量5E15/cm<sup>3</sup>の条件下注入し、N<sub>2</sub>雰囲気中で900°C、40分の活性化を行なった。さらに上記のプロセスによって得られたP型ポリシリコンをゲート電極形状にパターニングしてMOSキャバシタを作製した。

【0026】酸窒化膜をゲート絶縁膜とする上記のMOS試料は、良好なCV特性を示し、P型ポリシリコンゲート電極からSi基板側へのボロン拡散によるしきい値電圧の変動は起らなかった。一方、熱酸化膜をゲート絶縁膜とするMOS試料についてはしきい値電圧は2V以上正バイアス側にシフトした。これは、SIMS分析の結果、Si基板側へのボロン拡散が原因であることがわかった。

【0027】上記実施例においては、本発明を主としてMOSFETのゲート絶縁膜に適用した場合について説明したが、本発明による絶縁膜は、メモリー用トンネル絶縁膜や容量素子の絶縁膜を形成する場合にも適用できる。

#### 【0028】

【発明の効果】以上のように本発明においては、Si基板上に絶縁膜を有する半導体装置の製造方法において、前記絶縁膜としての酸窒化膜をランプアニール法によって、Si基板に対する酸化と窒化の反応を同時に進行させることにより1ステッププロセスで形成するようにしたので、少ない工程数でスループットが高い絶縁膜を形成することができ、また、雰囲気ガスとして $N_2O$ ガスを用いた場合に発生する膜厚の不均一性を改善することができる。

#### 【図面の簡単な説明】

【図1】従来行なわれているランプアニール法による2ステッププロセスのゲート絶縁膜の製造方法の処理手順である。

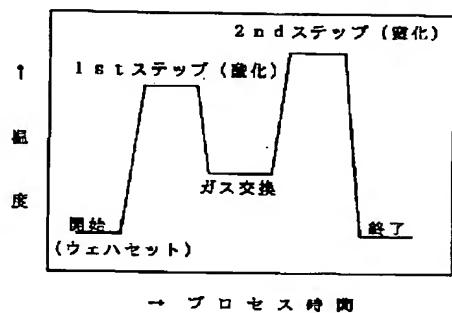
【図2】 $N_2O$ ガス流方向に対するウェハ各位置における酸窒化膜の成長膜厚である。

【図3】 $O_2$ ガスによる酸化膜形成と $N_2O$ ガスによる酸窒化膜形成の膜厚のばらつきを示すグラフである。

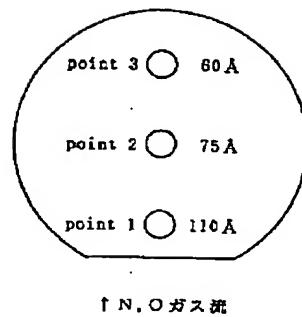
【図4】 $N_2O$ ガス比率と酸窒化膜厚のばらつきとの関

係を示すグラフである。

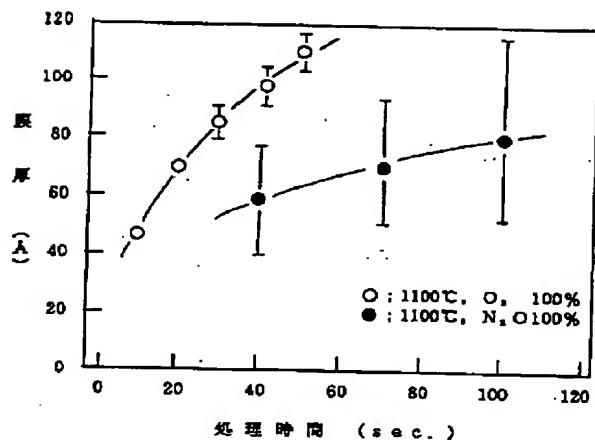
【図1】



【図2】



【図3】



【図4】

